

THIN-FILM MAGNETIC ELEMENT AND ITS METHOD OF MANUFACTURING THE SAME

Publication number: JP10135040 (A)

Publication date: 1998-05-22

Inventor(s): URANO YUICHI; MATSUZAKI KAZUO +

Applicant(s): FUJI ELECTRIC CO LTD +

Classification:

- international: **H01F10/08; H01F17/04; H01F41/04; H01L21/822; H01L27/04; H01F10/08; H01F17/04; H01F41/04; H01L21/70; H01L27/04; (IPC1-7): H01F10/08; H01F17/04; H01L21/822; H01L27/04**

- European: H01F41/04A8

Application number: JP19960286299 19961029

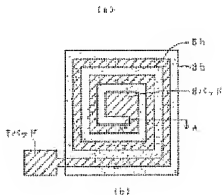
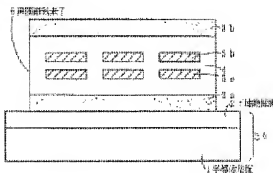
Priority number(s): JP19960286299 19961029

Also published as:

JP3580054 (B2)

Abstract of JP 10135040 (A)

PROBLEM TO BE SOLVED: To provide a thin-film magnetic element capable of keeping large Q value, regardless of the magnitude of high frequency current. **SOLUTION:** An insulating substrate 20 is formed by a semiconductor substrate 1 and an insulating film bed 2. A thin-film magnetic element 6 used as thin-film transformer and thin-film inductor is formed on the insulating film bed 2. The thin-film magnetic element 6 is formed by a first coil conductor 5a and a second coil conductor 5b consisting of a strip copper film and so on, the magnetic layer, the first soft magnetic layer 3a and the second soft magnetic layer 3b, arranged above and under the coil conductor 5a and 5b interposing them, an inter-layer insulating film 4 STORAGE (polyimide layer) filling up between the soft magnetic layer 3a and 3b, and the coil conductor 5a and 5b, and the metal pad 7 and 8 (external terminals) to which the both end of coil conductors 5a and 5b are connected together.



特開平10-135040

(43) 公開日 平成10年(1998) 5月22日

(51) Int.Cl. ⁴	識別記号	P I
H 0 1 F 17/04		H 0 1 F 17/04 A
10/08		10/08
H 0 1 L 27/04		H 0 1 L 27/04 L
21/822		

(21) 出願番号	特願平8-286299	(71) 出願人	000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号
(22) 出願日	平成8年(1996)10月29日	(72) 発明者	浦野 裕一 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
		(72) 発明者	松崎 一夫 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
		(74) 代理人	弁理士 山口 展

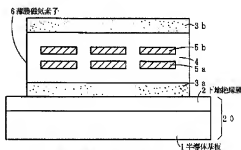
審査請求 未請求 請求項の数13 O L (全 9 頁)

(54) 【発明の名称】 薄膜磁気素子およびその製造方法

(57) 【要約】

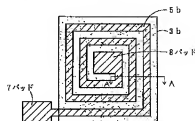
【課題】 高周波電流の大小によらず、大きなQ値を確保できる薄膜磁気素子を提供する。

【解決手段】 1は半導体基板、2は下地絶縁膜で、これらが絶縁性基板20を構成する。6は薄膜トランスおよび薄膜インダクタとして使用される薄膜磁気素子であって、下地絶縁膜2上に形成されている。薄膜磁気素子6は帯状の銅膜などからなる第1コイル導体5aおよび第2コイル導体5bと、これらのコイル導体5a、5bを挟むように上下に配置された磁性層としての第1軟磁性層3aおよび第2軟磁性層3bと、該軟磁性層3a、3bと前記コイル導体5a、5bとの間を埋める層間絶縁膜4（ポリイミド層）と、前記コイル導体5a、5bの両端が一緒に接続される金属性のパッド7、8（外部導出端子）とから構成されている。



3 a . . . 第1軟磁性層 3 b . . . 第2軟磁性層
4 . . . 層間絶縁膜 5 a . . . 第1コイル導体
5 b . . . 第2コイル導体 2 0 . . . 絶縁性基板

(a)



(b)

【特許請求の範囲】

【請求項 1】絶縁性基板上に、コイル導体としての機能を有する帯状の導電性金属層と、該導電性金属層の上下の層間絶縁膜を介して該導電性金属層を挟むように形成された磁心としての機能を有する磁性層とを有する薄膜磁気素子であって、前記導電性金属層を絶縁膜を挟んで積層することを特徴とする薄膜磁気素子。

【請求項 2】積層された導電性金属層間を電気的に接続することを特徴とする請求項 1 記載の薄膜磁気素子。

【請求項 3】絶縁性基板上に、コイル導体としての機能を有する帯状の導電性金属層と、該導電性金属層の上下の層間絶縁膜を介して該導電性金属層を挟むように形成された磁心としての機能を有する磁性層とを有する薄膜磁気素子であって、前記導電性金属層の表面を凹凸（トレンチ構造）とすることを特徴とする薄膜磁気素子。

【請求項 4】絶縁性基板上に第 1 磁性層を積層した後、第 1 磁性層を選択的に除去する工程と、
第 1 磁性層上に第 1 絶縁層と第 1 金属微粒子層と第 2 絶縁層とを積層した後、第 1 金属微粒子層が露出するまで第 2 絶縁層を選択的に除去する工程と、
第 2 絶縁層が除去された箇所第 2 絶縁層の厚さと同じの厚さに第 1 導電性金属層を形成する工程と、
第 2 絶縁層の表面と第 1 導電性金属層の表面とに第 3 絶縁層と第 2 金属微粒子層と第 4 絶縁層を積層した後、第 2 金属微粒子層が露出するまで第 4 絶縁層を選択的に除去する工程と、
第 4 絶縁層が除去された箇所第 4 絶縁層の厚さと同じの厚さに第 2 導電性金属層を形成する工程と、
第 2 導電性金属層上と第 4 絶縁層上とに第 5 絶縁層と第 2 磁性層とを積層した後、第 2 磁性層を選択的に除去する工程と、を含むことを特徴とする薄膜磁気素子の製造方法。

【請求項 5】第 3 絶縁層層と第 2 金属微粒子層と第 4 絶縁層とを積層した後、第 2 金属微粒子層が露出するまで第 4 絶縁層を選択的に除去する工程の後に、第 1 導電性金属層が露出するまで第 1 導電性金属層上の面積より小さい面積で第 4 絶縁層を選択的に除去する工程と、
第 4 絶縁層が除去された箇所第 4 絶縁層の厚さと同じの厚さになるように第 2 導電性金属層を形成する工程と、
第 2 導電性金属層上と第 4 絶縁層上とに第 5 絶縁層と第 2 磁性層とを積層した後、第 2 磁性層を選択的に除去する工程と、を含むことを特徴とする請求項 4 記載の薄膜磁気素子の製造方法。

【請求項 6】絶縁性基板上に第 1 磁性層を積層した後、第 1 磁性層を選択的に除去する工程と、
第 1 磁性層上に第 1 絶縁層と第 1 金属微粒子層と第 2 絶縁層とを積層した後、第 1 金属微粒子層が露出するまで第 2 絶縁層を選択的に除去する工程と、

第 2 絶縁層が除去された箇所第 2 絶縁層の厚さと同じの厚さに第 1 導電性金属層を形成する工程と、
第 2 絶縁層上と第 1 導電性金属層上とに第 3 絶縁層を積層した後、第 1 導電性金属層が露出するまで第 3 絶縁層を選択的に除去する工程と、
第 3 絶縁層が除去された箇所第 3 絶縁層の厚さと同じの厚さに第 2 導電性金属層を形成する工程と、
第 2 導電性金属層上と第 3 絶縁層上とに第 4 絶縁層と第 2 磁性層とを積層した後、第 2 磁性層を選択的に除去する工程と、を含むことを特徴とする薄膜磁気素子の製造方法。

【請求項 7】絶縁性基板上に、コイル導体としての機能を有する帯状の導電性金属層と、該導電性金属層の上下の層間絶縁膜を介して該導電性金属層を挟むように形成された磁心としての機能を有する磁性層とを有する薄膜磁気素子であって、帯状の導電性金属層を両側から挟んでいる磁性層が部分的に互いに近接していることを特徴とする薄膜磁気素子。

【請求項 8】帯状の導電性金属層を両側から挟んでいる磁性層が部分的に互いに近接している箇所が該導電性金属層の中心部および外周部であることを特徴とする請求項 7 又は 8 に記載の薄膜磁気素子。

【請求項 9】帯状の導電性金属層を両側から挟んでいる磁性層が接続もしくは近接している箇所が該導電性金属層の中心部および外周部であることを特徴とする請求項 7 又は 8 に記載の薄膜磁気素子。

【請求項 10】絶縁性基板上に第 1 磁性層を積層した後、第 1 磁性層を選択的に除去する工程と、
第 1 磁性層上に第 1 絶縁層と金属微粒子層と第 2 絶縁層とを積層した後、金属微粒子層が露出するまで第 2 絶縁層を選択的に除去する工程と、
第 2 絶縁層が除去された箇所第 2 絶縁層の厚さと同じの厚さに導電性金属層を形成する工程と、
導電性金属層上と第 2 絶縁層上とに第 3 絶縁層と第 2 磁性層とを積層し、部分的に第 1 磁性層と第 2 磁性層とを第 3 磁性層で接続する工程と、を含むことを特徴とする薄膜磁気素子の製造方法。

【請求項 11】第 3 磁性層が隙間を有することを特徴とする請求項 10 記載の薄膜磁気素子の製造方法。

【請求項 12】絶縁層が少なくともポリイミド膜、酸化膜もしくは窒化膜のいずれか一つで形成されることを特徴とする請求項 4、5、6、9、10 又は 11 の薄膜磁気素子の製造方法。

【請求項 13】金属微粒子層が白金（Pt）もしくはパラジウム（Pd）で形成されることを特徴とする請求項 4、5、6、9、10 又は 11 の薄膜磁気素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、薄膜磁気素子に関し、より詳しくは、絶縁性基板上に薄膜形成技術よ

て形成され、DC/DCコンバータなどの小容量（数ワット程度）の電源部品として用いられる薄膜磁気素子およびその製造方法に関する。

【0002】

【従来の技術】前記の薄膜磁気素子は、小容量（数ワット程度）の電源部品として用いられるため、使用されるスイッチング周波数が0.5～5MHzで占有面積が4～25m²程度という制約があり、しかもこの範囲で、Q値（ $=\omega L/R$ ；（ $=2\pi f$ ）は使用角周波数、fは使用周波数）の大きいものが望まれる。

【0003】図11は従来の薄膜磁気素子の要部構成図で、同図（a）は断面図、同図（b）は平面図である。尚、同図（a）は同図（b）のA-A線断面図を示す。図11において、1は半導体基板、2は半導体基板1を熱酸化して形成された酸化膜と該酸化膜上にスパッタにより形成された窒化膜とからなる下地絶縁膜2である。これらが絶縁性基板20を構成する。6は薄膜トランスおよび薄膜インダクタとして使用される薄膜磁気素子であって、下地絶縁膜2上に形成されている。薄膜磁気素子6は帯状のアルミニウム膜又は銅膜からなるコイル導体5とコイル導体5を互いに絶縁し、且つコイル導体5とコイル導体5を挟んで形成される軟磁性層3a、3bとを絶縁する層間絶縁膜4と、この層間絶縁膜4を介してコイル導体5を上下両側から挟んで形成されている軟磁性層3a、3bとからなる。7、8はコイル導体5の両端部に形成されたパッドである。

【0004】

【発明が解決しようとする課題】前記した従来のスパイラル状の薄膜のコイル導体では、高周波電力が印加された場合、表皮効果によりコイル導体に流れる電流はコイル導体の表面積で制限される。そのためコイル導体の表面積をある程度大きくするために、コイル導体を厚くしていた。そうすると、コイル導体を挟んでいる軟磁性層の間隔が広くなり、コイル電流で生じた磁界により、軟磁性層を横切る磁束密度が低下して、インダクタンスLが減少し、Q値が小さくなる。

【0005】また従来のスパイラル状の薄膜のコイル導体では、半導体基板の表面上に渦巻き状にコイル導体が形成されているため、磁心としての磁性体としての軟磁性層をコイル導体の両側（図では上下）に配置する構造を取っていた。そのため、磁力線の最も集中するコイル中心と、磁界が漏れやすいコイル導体の外周部には磁心を配置しておらず、コイルの特性を十分に引き出していなかった。

【0006】この発明の目的は、コイル導体に流れる高周波電力を増加させてインダクタンスを増大させ、また磁性体中の磁束密度を高めることでインダクタンスを増大させることができる薄膜磁気素子およびその製造方法を提供することにある。

【0007】

【課題を解決するための手段】この発明は、前記の目的を達成するために、絶縁性基板上に、コイル導体としての機能を有する帯状の導電性金属層と、該導電性金属層の上下の層間絶縁膜を介して該導電性金属層を挟むように形成された磁心としての機能を有する磁性層とを有する薄膜磁気素子であって、前記導電性金属層を絶縁膜を挟んで積層する構成とする。

【0008】この積層された導電性金属層間を電氣的に接続すると効果的である。また絶縁性基板上に、コイル導体としての機能を有する帯状の導電性金属層と、該導電性金属層の上下の層間絶縁膜を介して該導電性金属層を挟むように形成された磁心としての機能を有する磁性層とを有する薄膜磁気素子であって、前記導電性金属層の表面を凹凸（トレンチ構造）とする構成とするとい。

【0009】またこの薄膜磁気素子の製造方法としては、絶縁性基板上に第1磁性層を積層した後、第1磁性層を選択的に除去する工程と、第1磁性層上に第1絶縁層と第1金属微粒子層と第2絶縁層とを積層した後、第1金属微粒子層が露出するまで第2絶縁層を選択的に除去する工程と、第2絶縁層が除去された箇所（第2絶縁層の厚さと同一の厚さに第1導電性金属層を形成する工程と、第2絶縁層の表面と第1導電性金属層の表面とに第3絶縁層と第2金属微粒子層と第4絶縁層を積層した後、第2金属微粒子層が露出するまで第4絶縁層を選択的に除去する工程と、第4絶縁層が除去された箇所（第4絶縁層の厚さと同一の厚さに第2導電性金属層を形成する工程と、第2導電性金属層上に第4絶縁層とに第5絶縁層と第2磁性層とを積層した後、第2磁性層を選択的に除去する工程と、を含む工程とする。

【0010】前記工程において、第3絶縁層と第2金属微粒子層と第4絶縁層とを積層した後、第2金属微粒子層が露出するまで第4絶縁層を選択的に除去する工程の後に、第1導電性金属層が露出するまで第1導電性金属層上の面積より小さい面積で第4絶縁層を選択的に除去する工程と、第4絶縁層が除去された箇所（第4絶縁層の厚さと同一の厚さになるように第2導電性金属層を形成する工程と、第2導電性金属層上に第4絶縁層とに第5絶縁層と第2磁性層とを積層した後、第2磁性層を選択的に除去する工程と、を含む工程とするとい。

【0011】また絶縁性基板上に第1磁性層を積層した後、第1磁性層を選択的に除去する工程と、第1磁性層上に第1絶縁層と第1金属微粒子層と第2絶縁層とを積層した後、第1金属微粒子層が露出するまで第2絶縁層を選択的に除去する工程と、第2絶縁層が除去された箇所（第2絶縁層の厚さと同一の厚さに第1導電性金属層を形成する工程と、第2絶縁層とに第1導電性金属層上に第3絶縁層を積層した後、第1導電性金属層が露出するまで第3絶縁層を選択的に除去する工程と、第3絶縁層が除去された箇所（第3絶縁層の厚さと同一の厚さに

に第2導電性金属膜を形成する工程と、第2導電性金属膜上と第3絶縁層上とに第4絶縁層と第2磁性層とを積層した後、第2磁性層を選択的に除去する工程と、を含む工程とする。

【0012】また絶縁性基板上に、コイル導体としての機能を有する帯状の導電性金属膜と、該導電性金属膜の上下の層間絶縁膜を介して該導電性金属膜を挟むように形成された磁心としての機能を有する磁性層とを有する薄膜磁気素子であって、帯状の導電性金属膜を両側から挟んでいる磁性層が部分的に互いに接続する構成とするよい。

【0013】この帯状の導電性金属膜を両側から挟んでいる磁性層が部分的に互いに近接すると効果的である。さらに帯状の導電性金属膜を両側から挟んでいる磁性層が接続もしくは近接している箇所が該導電性金属膜の中心部および外周部であると好ましい。また絶縁性基板上に第1磁性層を積層した後、第1磁性層を選択的に除去する工程と、第1磁性層上に第1絶縁層と金属微粒子層と第2絶縁層とを積層した後、金属微粒子層が露出するまで第2絶縁層を選択的に除去する工程と、第2絶縁層が除去された箇所にて第2絶縁層の厚さと同一の厚さに導電性金属膜を形成する工程と、導電性金属膜上と第2絶縁層上とに第3絶縁層と第2磁性層とを積層し、部分的に第1磁性層と第2磁性層とを第3磁性層で接続する工程と、を含む工程としてもよい。

【0014】前記第3磁性層が隙間（ギャップ）を設けるとよい。また前記の絶縁層が少なくともポリイミド膜、酸化膜もしくは窒化膜のいずれか一つで形成されるとよい。また前記の絶縁層が白金（Pt）もしくはパラジウム（Pd）で形成されるとよい。

【0015】前記のように、コイル導体の表面積を増加させることで、表皮効果による実効的な抵抗を減少させて、高周波電流を実効的に増加させ、それによって磁性層内の磁束密度を増加させ、インダクタンスを増加させることができる。またコイル導体の中心部と外周部に磁心となる磁性層を形成することでやはり磁性層内の磁束密度を増加させ、インダクタンスを増大できる。また、この磁性層に隙間を設けることで、大きな高周波電流に對しても、磁性層内の磁束が飽和するのを防止し、大きなインダクタンスを確保できる。

【0016】

【発明の実施の形態】図1はこの発明の第1実施例の要部構成図で、同図（a）は断面図、同図（b）は平面図である。尚、同図（a）は同図（b）のA-A線断面図を示す。図1において、1は半導体基板（シリコン基板など）、2は半導体基板1を熱酸化して形成された酸化膜（シリコン酸化膜など）と熱酸化膜上にスパッタにより形成された窒化膜（シリコン窒化膜など）とからなる下地絶縁膜である。これらが絶縁性基板20を構成する。6は薄膜トランスおよび薄膜インダクタとして使用

される薄膜磁気素子であって、下地絶縁膜2上に形成されている。薄膜磁気素子6は帯状の銅（Cu）膜や金（Au）膜などからなる第1コイル導体5aおよび第2コイル導体5bと、これらのコイル導体5a、5bを挟むように上下に配置された磁性層としての第1軟磁性層3aおよび第2軟磁性層3bと、該軟磁性層3a、3bと前記コイル導体5a、5bとの間を埋める層間絶縁膜4（ポリイミド層）と、前記コイル導体5a、5bの両端が一緒に接続される金属性のパッド7、8（外部導出端子）とから構成されている。この実施例ではコイル導体の積層数が2層となっているがこれ以上でも勿論構わない。

【0017】コイル導体を2層とすることで、1層に比べてコイル導体の総表面積は増加する。そのため表皮効果による実効的なコイル導体の抵抗を減少させることができる。高周波電流が増加し、それによって発生した軟磁性層の磁束密度が増加して、インダクタンスを増加させることができる。つまり、薄膜磁気素子のQ値を増大させることができる。

【0018】図2はこの発明の第2実施例の要部構成図で、同図（a）は断面図、同図（b）は平面図である。尚、同図（a）は同図（b）のA-A線断面図を示す。図1との違いは、第1コイル導体5aと第2コイル導体5bとが接続導体9で部分的に接続されている点であり、接続導体9を含めたコイル導体5a、5bの表面積を増大させ、接続導体9コイル導体5a、5bの抵抗を減少させ、インダクタンスを増加させることができる。

【0019】図3はこの発明の第3実施例の要部構成図で、同図（a）は断面図、同図（b）は平面図である。尚、同図（a）は同図（b）のA-A線断面図を示す。図1との違いは、1個のコイル導体5の表面を凹凸（表面に溝を掘るトンチン構造）としている点で、コイル導体5の表面積を増加させることができる。効果は図1および図2と同様である。

【0020】図4はこの発明の第4実施例で、同図（a）ないし同図（d）は図1に示す薄膜磁気素子の主要製造工程での要部断面図を示す。図4において、半導体基板1上に下地絶縁膜2と第1軟磁性層3aとを形成した後、第1軟磁性層3aの不要部分（コイル導体が配置されない外周部など）をフォトリソング技術により除去する。この軟磁性層を例えばエッチング法により形成する（図（a））。

【0021】第1ポリイミド層4aと第1Pt層10a（白金の微粒子がばらまかれた層で微粒子の大きさは数Åである）と第2ポリイミド層4bを形成した後、フォトリソング技術により第1Pt層10aが現れるまで第2ポリイミド層4bをエッチングする（図（b））。無電解メッキ法により第2ポリイミド層4aのエッチングされた凹部に図示されていない金属薄膜を固着（メッキ処理）し、その後、第1コイル導体5aを電解メッキ

で第2ポリミッド層4bと膜厚が同じになるまで形成し、第3ポリミッド層4cと第2Pt層10b（第1Pt層と同じように形成する）と第4ポリミッド層4dを形成した後、フォトリソ技術により第2Pt層10bを現れるまで第4ポリミッド層4dをエッチングする（図（c））。

【0022】無電解メッキ法により第4ポリミッド層4dのエッチングされた凹部に、金属薄膜を固着させ、その後第2コイル導体5bを電解メッキ法により第4ポリミッド層4dと膜厚が同じになるまで（表面が面一になるまで）形成し、その上に第5ポリミッド層4eと第2軟磁性層3bを積層した後、フォトリソ技術により不要な第2軟磁性層3b（少なくともパッド上の軟磁性層）を除去する（図（d））。

【0023】図示されていないが、その後、第1コイル導体5aと第2コイル導体5bのそれぞれの両端を金属性のパッド7、8（図1（b）参照）に接続する工程がある。また図示されていない金属薄膜およびコイル導体5a、5bの材質は電解メッキ法が採用できるCuやAuなどの金属であり、以下の説明でも同じである。図5はこの発明の第5実施例で、同図（a）なしい同図

（d）は図2に示す薄膜磁気素子の主要製造工程での要部断面図を示す。

【0024】図5において、半導体基板1上に下地絶縁膜2と第1軟磁性層3aとを形成した後、第1軟磁性層3aの不要部分をフォトリソ技術により除去する（図（a））。第1ポリミッド層4aと第1Pt層10aと第2ポリミッド層4bを形成した後、フォトリソ技術により第1Pt層10aが現れるまで第2ポリミッド層4bをエッチングする（図（b））。

【0025】無電解メッキ法により第2ポリミッド層4dのエッチングされた凹部に図示されていない金属薄膜を固着させ、その後第1コイル導体5aを電解メッキで第2ポリミッド層4bと膜厚が同じになるまで形成し、第3ポリミッド層4cと第2Pt層10bと第4ポリミッド層4dを形成した後、フォトリソ技術により第2Pt層10bが現れるまで第4ポリミッド層4dをエッチングし、その後、第1コイル導体5a上の第3ポリミッド層4cに第1コイル導体5aより小さいサイズで、且つ第1コイル導体5aに達するまでの深さの接続孔9bをフォトリソエッチング技術により形成する（図（c））。

【0026】無電解メッキ法と電解メッキ法の組み合わせで第3ポリミッド層4cに開けられた接続孔9bと第4ポリミッド層4dのエッチングされた凹部とに、第2コイル導体5bを第4ポリミッド層4dと膜厚が同じになるまで形成し、その上に第5ポリミッド層4eと第2軟磁性層3bを形成した後、フォトリソ技術により不要な第2軟磁性層3bを除去する（図（d））。

【0027】尚、第2コイル導体5bで埋められた接続

孔9b部は接続導体9となる。図6はこの発明の第6実施例で、同図（a）なしい同図（d）は図3に示す素子の主要製造工程での要部断面図を示す。図6において、半導体基板1上に下地絶縁膜2と第1軟磁性層3aとを形成した後、第1軟磁性層3aの不要部分をフォトリソエッチング技術により除去する（同図（a））。

【0028】第1ポリミッド層4aとPt層10と第2ポリミッド層4bとを形成した後、フォトリソエッチング技術によりPt層10が現れるまで第2ポリミッド層4bをエッチングする（同図（b））。無電解メッキ法により第2ポリミッド層4bのエッチングされた凹部に図示されていない金属薄膜を固着させ、その後第1コイル導体5aを電解メッキで第2ポリミッド層4bと膜厚が同じになるまで形成し、第3ポリミッド層4cを形成した後、フォトリソエッチング技術により第1コイル導体5aが現れるまで第3ポリミッド層4cを選択的にエッチングする（図（c））。

【0029】電解メッキ法により第3ポリミッド層4cのエッチングされた凹部に第2コイル導体5bを第3ポリミッド層4cと膜厚が同じになるまで形成し、その上に第4ポリミッド層4dと第2軟磁性層3bを形成させた後、フォトリソエッチング技術により不要な第2軟磁性層3bを除去する（図（d））。図7はこの発明の第7実施例の要部構成図で、同図（a）は断面図、同図（b）は平面図である。尚、同図（a）は同図（b）のA-A線断面図を示す。

【0030】図7において、コイル導体5の中心部と外周部に磁心となる軟磁性層3を形成し、コイル導体5を軟磁性層3で層間絶縁膜を介して取り囲むようにする。この構成とすることで、コイル導体5の中心部と外周部に配置された軟磁性層3により、軟磁性層3内の磁束密度が増加し、インダクタンスを増大させることができる。

【0031】図8はこの発明の第8実施例の要部構成図で、同図（a）は断面図、同図（b）は平面図である。尚、同図（a）は同図（b）のA-A線断面図を示す。図7との違いは軟磁性層3が部分的に切り離された隙間を有する点である。勿論この隙間は層間絶縁膜4で埋められている。この隙間によって、コイル導体5を覆う軟磁性層3内の磁束密度が飽和することを防止し、コイル導体5に流れる電流が大きい場合でも大きなインダクタンスを確保できる。

【0032】図9はこの発明の第9実施例で、同図（a）なしい同図（d）は図7に示す薄膜磁気素子の主要製造工程での要部断面図を示す。図9において、半導体基板1上に下地絶縁膜2と第1軟磁性層3aを形成した後、第1軟磁性層3bの不要部分をフォトリソエッチング技術により除去する（図（a））。

【0033】第1ポリミッド層4aとPt層10と第2ポリミッド層4bとを形成した後、フォトリソエッチング

によりP t層10が現れるまで第2ポリイミド層4bをエッチングする(図(b))。無電解メッキ法により第2ポリイミド層4bのエッチングされた凹部に図示されていない金属薄膜を固着させ、その後、コイル導体5を電解メッキで第2ポリイミド層4bと膜厚が同じになるまで形成し、その上に第3ポリイミド層4cを形成した後、フォトエッチング技術によりコイル導体4の中心部と外周部の第3ポリイミド層4c、第2ポリイミド層4bおよび第1ポリイミド層4aに接続開口部9bを第1軟磁性層3aに達するようにエッチングで設ける(図(c))。

【0034】第2軟磁性層3bを第3ポリイミド層4c上に形成すると同時に、この第2軟磁性層3bで接続開口部9bを埋めて、第1軟磁性層3aと接続した後、フォトエッチング技術により不要な第2軟磁性層3bを除去する(図(d))。図10はこの発明の第10実施例で、同図(a)ないし同図(d)は図8に示す薄膜磁気素子の主要製造工程での要部断面図を示す。

【0035】図9との違いは、図9(c)の工程で、第3ポリイミド層4dを形成した後、フォトエッチング技術によりコイル導体5の中心部と外周部の第3ポリイミド層4cおよび第2ポリイミド層4bに開口部9cを第1ポリイミド層4aにするようにエッチングで設けた点と、図9(d)の工程で、第2軟磁性層3bで開口部9cを埋める点である。つまりこうすることで第1軟磁性層3aと第2軟磁性層3bとは接続されずに隙間が形成され、その隙間には第1ポリイミド層4aが形成されている点である。勿論、前記開口部9cは第1ポリイミド層4a内に入り込むように形成してもよい。

【0036】尚、前記した第1実施例ないし第10実施例の軟磁性層の形成方法は、CoFeSiO₂、CoFeTaおよびCoHfTaPd等をスパッタ法により形成する方法の他に、純誘起化合物である有機磁石で形成してもよい。有機磁石は溶媒からの再結晶により生成するため、前記の実施例で示すような凹部のある場合にも容易に軟磁性層を形成することができる。

【0037】

【発明の効果】この発明によれば、コイル導体の表面積を増やして、コイル導体の抵抗を減じ、高周波電流を増加させることで、インダクタンスを増大させ、Q値を大きくすることができる。またコイル導体を挟む軟磁性層を部分的に接続することで、軟磁性層内の磁束密度を増やし、コイル導体を通る高周波電流が小さい範囲でも大きなインダクタンスを確保できるようにできる。またこの軟磁性層を接続しないで隙間(ギャップ)を設けることで、コイル導体を通る高周波電流が大きな場合でも、磁束密度が飽和しないで、大きなインダクタンスが確保できる。

【図面の簡単な説明】

【図1】この発明の第1実施例の要部構成図で、(a)

は断面図、(b)は平面図

【図2】この発明の第2実施例の要部構成図で、(a)

は断面図、(b)は平面図

【図3】この発明の第3実施例の要部構成図で、(a)

は断面図、(b)は平面図

【図4】この発明の第4実施例で、(a)ないし(d)

は図1に示す薄膜磁気素子の主要製造工程での要部断面図

【図5】この発明の第5実施例で、(a)ないし(d)

は図2に示す薄膜磁気素子の主要製造工程での要部断面図

【図6】この発明の第6実施例で、(a)ないし(d)

は図3に示す薄膜磁気素子の主要製造工程での要部断面図

【図7】この発明の第7実施例の要部構成図で、(a)

は断面図、(b)は平面図

【図8】この発明の第8実施例の要部構成図で、(a)

は断面図、(b)は平面図

【図9】この発明の第9実施例で、(a)ないし(d)

は図7に示す薄膜磁気素子の主要製造工程での要部断面図

【図10】この発明の第10実施例で、(a)ないし

(d)は図8に示す薄膜磁気素子の主要製造工程での要部断面図

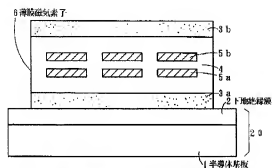
【図11】従来の薄膜磁気素子の要部構成図で、(a)

は断面図、(b)は平面図

【符号の説明】

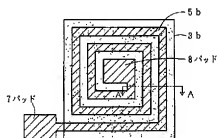
- 1 半導体基板
- 2 下地絶縁膜
- 3 軟磁性層
- 3a 第1軟磁性層
- 3b 第2軟磁性層
- 4 層間絶縁膜
- 4a 第1ポリイミド層
- 4b 第2ポリイミド層
- 4c 第3ポリイミド層
- 4d 第4ポリイミド層
- 4e 第5ポリイミド層
- 5 コイル導体
- 5a 第1コイル導体
- 5b 第2コイル導体
- 6 薄膜磁気素子
- 7 パッド
- 8 パッド
- 9 接続導体
- 9a 接続孔
- 9b 接続開口部
- 9c 開口部
- 10 P t層
- 10a 第1P t層

【図1】



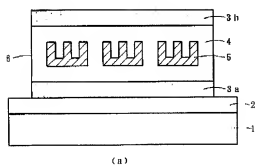
3 a ... 第1磁性層
4 ... 絶縁性層
5 b ... 第2磁性層
3 b ... 第2磁性層
3 a ... 第1磁性層
2 ... 絶縁性基板
1 ... 半導体基板

(a)

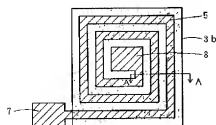


(b)

【図3】

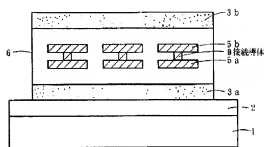


(a)

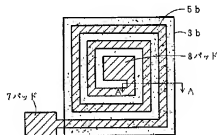


(b)

【図2】

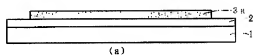


(a)

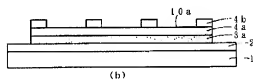


(b)

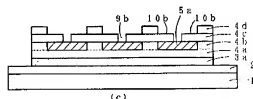
【図5】



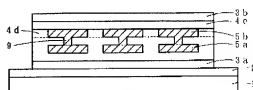
(a)



(b)

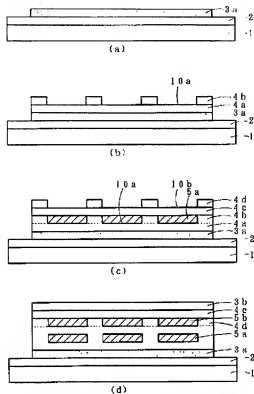


(c)



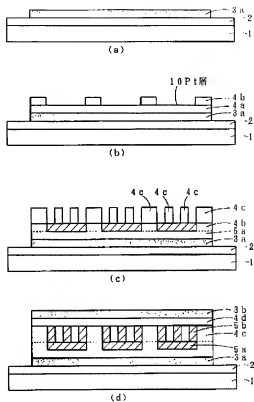
(d)

【図4】

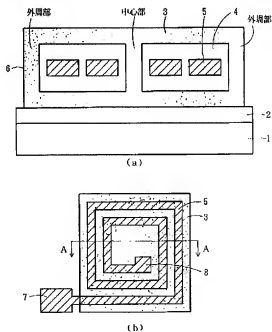


4a・・・第1シリコン層
4b・・・第2シリコン層
4c・・・第4シリコン層
10a・・・第1P+層
10b・・・第2P+層
10c・・・第4P+層

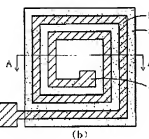
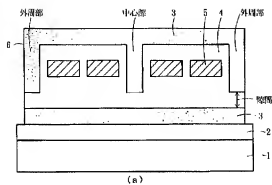
【図6】



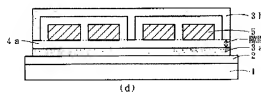
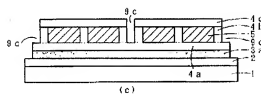
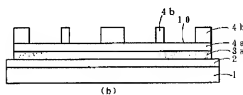
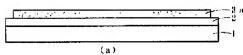
【図7】



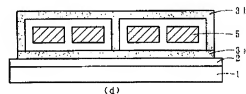
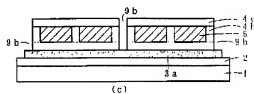
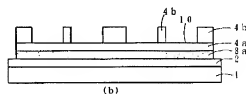
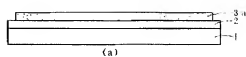
【図 8】



【図 10】



【図 9】



【図 11】

